

DISPLAY CONTROLLER

Publication number: JP4323691

Publication date: 1992-11-12

Inventor: NISHIZAWA YOSHIYUKI

Applicant: RICOH KK

Classification:

- international: G06F3/153; G09G3/20; G09G3/36; G09G5/00;
G09G5/40; G06F3/153; G09G3/20; G09G3/36;
G09G5/00; G09G5/40; (IPC1-7): G06F3/153; G09G3/20;
G09G3/36; G09G5/00; G09G5/40

- european:

Application number: JP19910119392 19910423

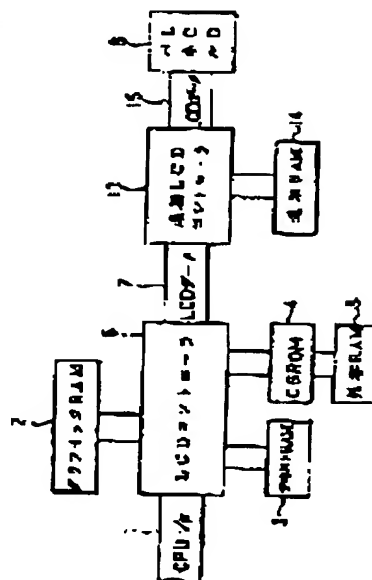
Priority number(s): JP19910119392 19910423

Report a data error here

Abstract of JP4323691

PURPOSE: To reduce the power consumption of the display controller while making a normal composite display of a graphic, characters, etc., on an LCD display device.

CONSTITUTION: An LCD controller 6 reads display data out of a graphic RAM 2, etc., with the access signal from a CPU and converts the data into data for an LCD, and an additional LCD controller 13 stores the converted data in an additional RAM 14. Then the LCD controller 6 stops accessing the graphic RAM 2, etc., until a change of the display data is detected and during the period, the additional LCD controller 13 reads the LCD data out of the additional RAM 14 and sends the data to an LCD panel 8, where they are displayed.



Data supplied from the esp@cenet database - Worldwide

特開平4-323691

(43) 公開日 平成4年(1992)11月12日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 5/00		M 8121-5G		
G 0 6 F 3/153	3 3 6	B 9188-5B		
G 0 9 G 3/20		Z 9176-5G		
3/36		7926-5G		
5/40		8121-5G		

審査請求 未請求 請求項の数3(全7頁)

(21) 出願番号 特願平3-119392

(22) 出願日 平成3年(1991)4月23日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 西沢 義志

東京都大田区中馬込1丁目3番6号 株式会社リコー内

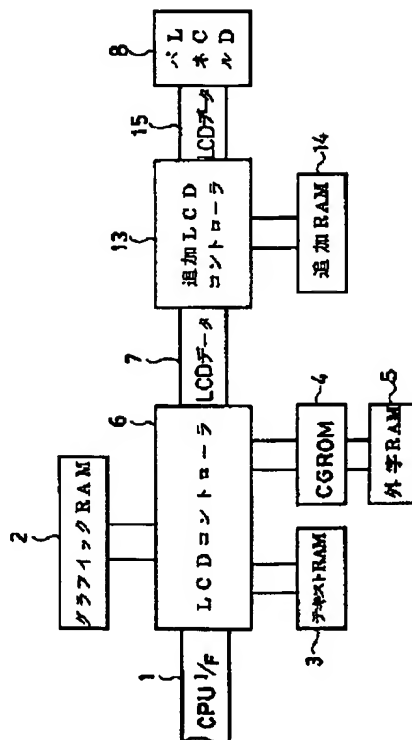
(74) 代理人 弁理士 大澤 敬

(54) 【発明の名称】 表示制御装置

(57) 【要約】

【目的】 LCD表示装置によるグラフィック及びキャラクタ等の合成表示を正常に行ないつつ、その表示制御装置における消費電流を低減できるようにする。

【構成】 LCDコントローラ6はCPUからのアクセス信号によってグラフィックRAM2等から表示データを読み出し、LCD用データに変換し、それを追加LCDコントローラ13が追加RAM14に記憶させる。その後、LCDコントローラ6は表示データの変化を検出するまでグラフィックRAM2等へのアクセスを停止し、その間は追加LCDコントローラ13が追加RAM14のLCD用データを読み出してLCDパネル8へ送って表示させる。



【特許請求の範囲】

【請求項1】 グラフィック表示データ及びキャラクタ表示データ等をそれぞれ記憶する画像メモリを有し、その画像メモリのいずれかから表示データを読み取ってLCD表示データに変換してLCD表示装置へ送出する機能を備えた表示制御装置において、前記画像メモリのいずれかから表示データを読み取ってLCD表示データに変換すると共に、各画像メモリへのアクセスと自らのモード変更とによって読み取る表示データの変化の有無を検出する第1の表示制御回路と、該第1の表示制御回路から出力された表示データを記憶する追加のメモリと、該メモリに対する表示データの書き込み及び読み出しを制御して記憶した表示データをLCD表示装置へ出力する第2の表示制御回路とを設けると共に、前記第1の表示制御回路によって表示データに変化がないことを検出している間は、前記グラフィック表示データ又はキャラクタ表示データを記憶する画像メモリへのアクセスを停止する手段を設けたことを特徴とする表示制御装置。

【請求項2】 グラフィック表示データ及びキャラクタ表示データ等をそれぞれ記憶する画像メモリを有し、その画像メモリのいずれかから表示データを読み取ってLCD表示データに変換してLCD表示装置へ送出する機能を備えた表示制御装置において、前記画像メモリのいずれかから表示データを読み取ってLCD表示データに変換すると共に、各画像メモリへのアクセスと自らのモード変更とによって読み取る表示データの変化の有無を検出する第1の表示制御回路と、該第1の表示制御回路から出力された表示データを記憶する追加のメモリと、該メモリに対する表示データの書き込み及び読み出しを制御して記憶した表示データをLCD表示装置へ出力する第2の表示制御回路とを設けると共に、前記第1の表示制御回路によって表示データに変化がないことを検出している間は、該第1の表示制御回路のグラフィック表示データ及びキャラクタ表示データを記憶する各画像メモリへのアドレスとデータバスのレベルを固定する手段を設けたことを特徴とする表示制御装置。

【請求項3】 グラフィック表示データ及びキャラクタ表示データ等をそれぞれ記憶する画像メモリを有し、その画像メモリのいずれかから表示データを読み取ってLCD表示データに変換してLCD表示装置へ送出する機能を備えた表示制御装置において、前記画像メモリのいずれかから表示データを読み取ってLCD表示データに変換すると共に、各画像メモリへのアクセスと自らのモード変更とによって読み取る表示データの変化の有無を検出する第1の表示制御回路と、該第1の表示制御回路から出力された表示データを記憶する追加のメモリと、該メモリに対する表示データの書き込み及び読み出しを制御して記憶した表示データをLCD表示装置へ出力する第2の表示制御回路とを設けると共に、前記第1の表示制御回路によって表示データに変化がないことを検出

している間は、該第1の表示制御回路の内部回路クロックを停止させる手段を設けたことを特徴とする表示制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、LCD表示装置を備えたパーソナルコンピュータ、オフィスコンピュータ、ワードプロセッサ等の情報処理装置において、グラフィック表示及びキャラクタ表示等を合成して行なう場合の表示制御装置に関する。

【0002】

【従来の技術】 このような従来の表示制御装置では、画像メモリであるグラフィックメモリ及びキャラクタメモリ等からそれぞれ必要なグラフィック表示データ及びキャラクタ表示データ等を、常にLCD表示装置が要求するフレーム周波数でリードしながら、それをLCD表示装置へ出力する表示データ（LCDデータ）に加工・合成するようにしているので、常にグラフィックメモリ及びキャラクタメモリ（コードメモリ、属性メモリ、フォントメモリ等）等を読み続けている。

【0003】 例えば、図9に示すような表示制御装置において、CPUがCPU I/F 1を介してグラフィックRAM 2、テキストRAM 3、キャラクタジェネレータ（CG）ROM 4、外字RAM 5がアサインされているメモリ空間にアクセスする信号を送ると、LCDコントローラ 6' は、図示しない発振器の発生するクロックを基準にして、グラフィックRAM 2及びテキストRAM 3等にそれぞれ記憶されている表示データを常時リードする。

【0004】 それがグラフィック表示の場合は、グラフィック表示データ（LCDデータ）としてそのままデータバス 7を介してLCDパネル 8へ出力する。また、テキスト表示の場合はCGROM 4又は外字RAM 5を使用してキャラクタ表示データに変換し、それをLCDデータとしてLCDパネル 8へ出力する。

【0005】 さらに、グラフィックとテキストの合成表示の場合はグラフィック表示データ及びキャラクタ表示データを合成してLCDパネル 8へ出力するが、そのためのLCDコントローラ 6' の構成例を図10に示す。

【0006】 図10において、グラフィックRAM 2とCGROM 4又は外字RAM 5の各表示データはドット毎に合成する必要があるため、合成回路 11に入る前にP/S部 9、10によってパラレルデータからシリアルデータに変換される。なお、12はテキストRAM 3からの表示データを一時的に保持するためのラッチ部である。

【0007】 そこで、通常のLCDパネル 8には70Hzのフレーム周波数が必要なため、それを満足する速さで表示制御装置は表示データを合成して出力しなければならない。例えば、LCDパネル 8として640×400

ドットのものと考えた場合、1/70秒に1回のスピードで640×400ドット分の表示データを合成してLCDパネル8へ送らなければならない。

【0008】すると、P/S部9、10でシリアルデータに変換する時のスピードは1/70×1/(640×400) S=55.8 nsとなる。しかし、通常は表示データを連続的に送らずに1ライン毎に少し間隔をおいて送るために、55.8 ns内に1表示データを送るのではなく、もう少し早く送る必要があり、そのためには、図示しない発振器として例えば20 MHz用のものが必要となる。

【0009】また、このような表示制御装置による表示コントロールでは、以下に列挙したような電流が消費される。

(1) グラフィックRAM2、テキストRAM3、CGROM4、外字RAM5を動作させる電流

【0010】(2) LCDコントローラ6'がグラフィックRAM2、テキストRAM3、CGROM4、外字RAM5をドライブするための電流

(3) LCDコントローラ6'がグラフィックRAM2、テキストRAM3、CGROM4、外字RAM5のメモリ内容をLCDデータに変換する変換回路を駆動させる電流(LCDコントローラ6'の内部回路の消費電流)

【0011】ところで、近年パーソナルコンピュータやワードプロセッサ等の情報処理装置としてバッテリー駆動のものが出回っており、その種の情報処理装置に対して長時間の稼働が求められていることから、例えば動作電圧を従来の5Vから3Vに変更して使用電流を少なくするようにしていた。

【0012】

【発明が解決しようとする課題】しかしながら、上述したような表示制御装置を備えたバッテリー駆動の情報処理装置の回路は、一般にCMOSで構成されており、CMOSでは動作電圧の低下によって回路の動作時間(入力から出力までの時間)が遅くなる。

【0013】それを比によって表わすと、5V系の動作時間:3V系の動作時間=1:2~3となり、5V系に比べて3V系では2~3倍の時間がかかってしまい、従来の3V系の表示制御回路ではLCD表示装置が要求するフレーム周波数で処理することができず、基本クロックを下げなければならなかった。

【0014】このことは図9に示した表示制御装置にもあてはまり、この装置が3V系のバッテリー駆動を用いた回路を使用しているものと仮定した場合、合成回路10では各データのドット毎の合成処理ができなくなるため、図示しない発振器を20 MHzの1/2~1/3の周波数のクロックを発生するものに換えなければならない。

【0015】しかし、この基本クロックを下げると今度

はLCDコントローラ6'の出力表示データのフレーム周波数が低下してLCDパネル8上ではちらつきが激しくなって正常な表示ができなくなる。そのうえ、上述したようにこの表示制御装置による表示コントロールでは常にグラフィックやキャラクタ等の表示データを記憶した画像メモリをリードしなければならないので、その際の消費電流がかさむという問題があった。

【0016】この発明は上記の点に鑑みてなされたものであり、LCD表示装置によるグラフィック及びキャラクタ等の合成表示を正常に行ないつつ、表示制御装置における消費電流を低減できるようにすることを目的とする。

【0017】

【課題を解決するための手段】この発明は上記の目的を達成するため、グラフィック表示データ及びキャラクタ表示データ等をそれぞれ記憶する画像メモリを有し、その画像メモリのいずれかから表示データを読み取ってLCD表示データに変換してLCD表示装置へ送出する機能を備えた表示制御装置において、画像メモリのいずれかから表示データを読み取ってLCD表示データに変換すると共に、各画像メモリへのアクセスと自らのモード変更とによって読み取る表示データの変化の有無を検出する第1の表示制御回路と、その第1の表示制御回路から出力された表示データを記憶する追加のメモリと、そのメモリに対する表示データの書き込み及び読み出しを制御して記憶した表示データをLCD表示装置へ出力する第2の表示制御回路とを設けると共に、第1の表示制御回路によって表示データに変化がないことを検出している間は、グラフィック表示データ又はキャラクタ表示データを記憶する画像メモリへのアクセスを停止する手段を設けたものである。

【0018】また上記画像メモリへのアクセスを停止する手段に代えて、上記第1の表示制御回路によって表示データに変化がないことを検出している間は、その第1の表示制御回路のグラフィック表示データ及びキャラクタ表示データを記憶する各画像メモリへのアドレスとデータバスのレベルを固定する手段、あるいはその第1の表示制御回路の内部回路クロックを停止させる手段を設けるようにしてもよい。

【0019】

【作用】この発明による表示制御装置は、第1の表示制御回路がグラフィック表示データ及びキャラクタ表示データ等をそれぞれ読み取り、LCD表示データに変換する。そのLCD表示データを第2の表示制御回路が追加のメモリに書き込んで記憶させ、それをLCD表示装置が要求するフレーム周波数で読み出して出力する。

【0020】そして、第1の表示制御回路によって表示データに変化がないことを検出している間は、グラフィック表示データ又はキャラクタ表示データを記憶する画像メモリへのアクセスを停止したり、第1の表示制御回

路のグラフィック表示データ及びキャラクタ表示データを記憶する各画像メモリへのアドレスとデータバスのレベルを固定したり、第1の表示制御回路の内部回路クロックを停止させたりして、表示データに変化がない間の第1の表示制御回路における消費電流を減らす。

【0021】

【実施例】以下、この発明の実施例を図面に基いて具体的に説明する。図1はこの発明の第1実施例の構成を示すブロック図、図2はその表示制御処理を示すフローチャートであり、図9と対応する部分には同一符号を付している。

【0022】図1の表示制御装置において、LCDコントローラ6、追加LCDコントローラ13、及び追加RAM14が、それぞれこの発明における第1の表示制御回路、第2の表示制御回路、及び追加のメモリに相当する。

【0023】図示しないCPUが、CPUインタフェース(I/F)1を介して、グラフィックRAM2、テキストRAM3、CGROM4、及び外字RAM5(以後これらをまとめてRAM等と称する)がアサインされているメモリ空間にアクセスする信号をLCDコントローラ6に送る。

【0024】すると、LCDコントローラ6は、図2に示すようにその信号に応じたいずれかのRAM等へ図示しない発振器が発生するクロックを基準にしてアクセスし、そこに記憶されている1画面分の表示データをリードしてLCDデータに変換し、追加LCDコントローラ13へ1回送る。

【0025】追加LCDコントローラ13は、その表示データを追加RAM14に記憶させると共に、データバス15を介してLCDパネル8へ送出し、LCDコントローラ6から新たな表示データが送られるまで追加RAM14に記憶した表示データを読み出してLCDパネル8へ送る。この追加RAM14は、LCDパネル8の1画面分のイメージメモリであり、その消費電流はグラフィックRAM2と同等もしくはそれ以下である。

【0026】LCDコントローラ6は、追加LCDコントローラ13に1画面分の表示データを送出中、CPUによるRAM等へのアクセスと自らのモード変更とによって読み取る表示データの変化(変更)の有無を検出する。これは、LCDコントローラ6がCPUとのI/F1を持っているため、CPUがグラフィックRAM2、テキストRAM3、CGROM4、外字RAM5、及びLCDコントローラ6の動作内容を変更するレジスタに対してアクセスしたか否かによって容易に検出できる。

【0027】もし変更されたことを検出したら再び上述の処理を実行するが、変更されなければ(変更されたことを検出なかったら)、グラフィックRAM2、テキストRAM3、CGROM4、及び外字RAM5へのアクセスを停止する。このアクセスとは、RAM等のそれ

ぞれへのチップセレクトをアクティブにし、アドレスバスを指定する値にすることによって、データバスに表示データを出力することであり、この時はLCDコントローラ6の内部回路クロックは当然変化している。

【0028】また、アクセスの停止とは、RAM等のそれぞれへのチップセレクトをディセーブルにすることである。そして、CPUによって表示データが変更されなければ、そのまま追加LCDコントローラ13による表示制御を行なうが、もし変更されたら再びLCDコントローラ6による表示制御に戻る。

【0029】次に、表示データの変化の有無の検出方法と、その検出結果による表示動作の実行及び停止のタイミングについて説明する。

【0030】LCDコントローラ6は、下記の現象が発生したときに表示データの変化が有ったことを検出する。

①CPUがグラフィックRAM2、テキストRAM3、CGROM4、外字RAM5がアサインされているメモリ空間にアクセスしたとき。

②CPUがLCDコントローラ6によってアサインされているI/O空間にアクセスしたとき。

【0031】この検出は、図3のタイミングチャートに示すようにフレーム周波数の1フレーム間で行なう(1フレームは通常1/70秒)。そして、この1フレーム間で1度でも表示データの変化があれば次のフレームで表示動作を行ない、1フレーム間で1度でも表示データの変化がなければ次のフレームは表示動作を停止する。

【0032】つまり、表示動作の実行と停止のタイミングは下記のように行なう。

①表示データに変化が有った後の次のフレームの1ライン目から表示動作を実行する(表示のためのRAM、ROMアクセスを再び始めて、データバス7にも表示データ出力を行なう)。

②1フレーム間表示データに変化がなかった時に、次のフレームの1ライン目から表示動作を停止する(表示のためのRAM、ROMアクセスを停止し、データバス7の信号をLOWレベル又はHIGHレベルに固定する)。

【0033】図4乃至図6はその一例を示すタイミングチャートである。例えば、図4のnフレーム目で表示データの変化があれば次のn+1フレーム目で表示動作を行ない、そのn+1フレーム目で再び表示データの変化があれば次のn+2フレーム目でも表示動作を行なう。

【0034】また、図5に示すように、nフレーム目で表示データの変化が無ければ次のn+1フレーム目で表示動作を停止し、そのn+1フレーム目で表示データの変化があれば次のn+2フレーム目で表示動作を行なう。さらに、図6に示すように、nフレーム目で表示データの変化があれば次のn+1フレーム目で表示動作を行ない、そのn+1フレーム目で表示データの変化が無

ければ次の $n+2$ フレーム目で表示動作を停止する。

【0035】このようにして、LCDコントローラ6によって表示データが変更されない間は、追加LCDコントローラ13が追加RAM14に記憶させた表示データをそのままLCDパネル8へ出力するので、従来のように、LCDコントローラ6が常にグラフィックRAM2、テキストRAM3、CGROM4、及び外字RAM5から表示データを読み出して合成する必要がなく、その結果常時ドライブさせるメモリが1種類で済むために消費電流が少なくなる。

【0036】次に、この発明による表示制御装置の第2実施例について説明する。この第2実施例における表示制御装置のハード構成は図1に示した第1実施例の表示制御装置と同様であるが、その制御処理が若干異なる。

【0037】図7はこの第2実施例による表示制御処理を示すフローチャートであり、図2と重複する部分についてはその説明を省略する。つまり、この実施例ではLCDコントローラ6がCPUによるRAM等へのアクセスと自らのモード変更とによって読み取る表示データに変化がないことを検出している間は、グラフィックRAM2、テキストRAM3、CGROM4、及び外字RAM5へのアドレスとデータバスのレベルを固定するところが異なる。

【0038】通常のCMOSのICで構成される回路は、アドレスやデータバス等の出力レベルを固定するとほとんど電流を消費しないため、このようにアドレスバス、データバスのレベルを固定することにより、LCDコントローラ6の出力バッファにおける電流の消費を抑える。

【0039】次に、この発明による表示制御装置の第3実施例について説明する。この第3実施例における表示制御装置のハード構成も図1に示した第1実施例の表示制御装置と同様であるが、その制御処理が若干異なる。

【0040】図8はこの第3実施例による表示制御処理を示すフローチャートであり、図2と重複する部分についてはその説明を省略する。つまり、この実施例ではLCDコントローラ6がCPUによるRAM等へのアクセスと自らのモード変更とによって読み取る表示データに変化がないことを検出している間は、LCDコントローラ6の内部回路クロックを停止させるところが異なる。

【0041】LCDコントローラ6は、多数のメモリの

内容を読み出して表示データに合成するため、その内部の回路を非常に高速で動作させて電流を多量に消費するが、このように表示データに変化がない間は、内部回路クロックを停止させてその消費を抑える。

【0042】

【発明の効果】以上説明してきたように、この発明による表示制御装置によれば、LCD表示装置によるグラフィック及びキャラクタ等の合成表示を正常に行ないつつ、表示制御装置における消費電流を低減することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例の構成を示すブロック図である。

【図2】同じくその表示制御処理を示すフローチャートである。

【図3】フレーム周波数の一例を示すタイミングチャートである。

【図4】図1のLCDコントローラ6による表示動作を実行又は停止させるタイミングの一例を示すタイミングチャートである。

【図5】同じくその他の例を示すタイミングチャートである。

【図6】同じくそのさらに他の例を示すタイミングチャートである。

【図7】この発明の第2実施例による表示制御処理を示すフローチャートである。

【図8】この発明の第3実施例による表示制御処理を示すフローチャートである。

【図9】従来の表示制御装置の一構成例を示すブロック図である。

【図10】図9の表示制御装置におけるLCDコントローラ6'の構成例を示すブロック図である。

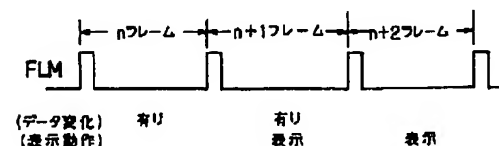
【符号の説明】

- | | |
|----------------------------|-------------------------|
| 1 CPU I/F | 2 グラフィックRAM |
| 3 テキストRAM | 4 キャラクタジェネレータ (CG) ROM |
| 5 外字RAM | 6 LCDコントローラ (第1の表示制御回路) |
| 7, 15 データバス | 8 LCDパネル |
| 13 追加LCDコントローラ (第2の表示制御回路) | |
| 14 追加RAM (追加のメモリ) | |

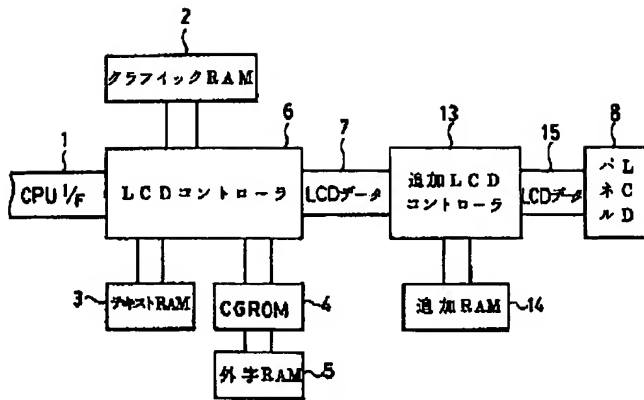
【図3】



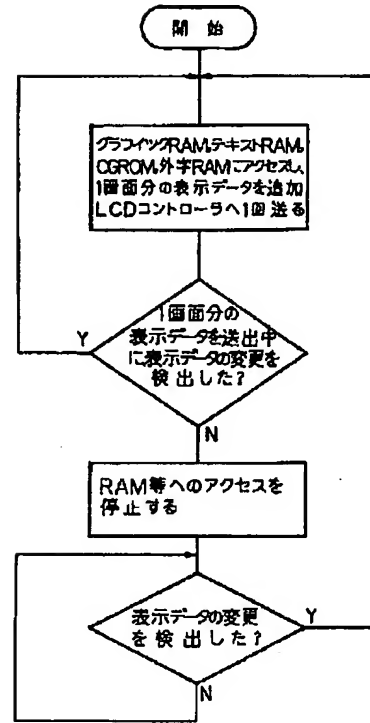
【図4】



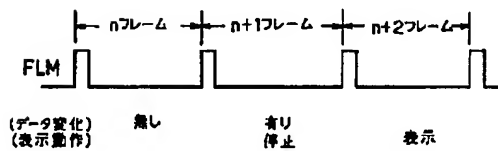
【図1】



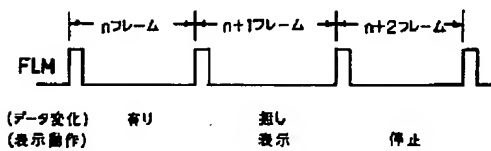
【図2】



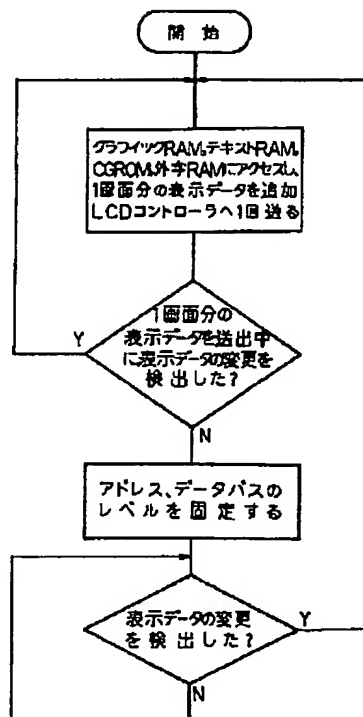
【図5】



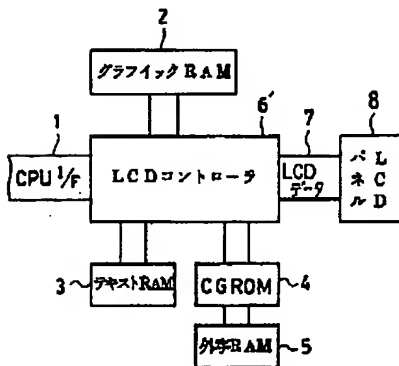
【図6】



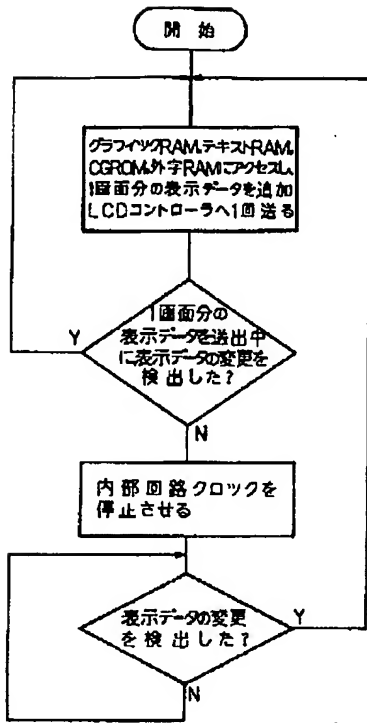
【図7】



【図9】



【図8】



【図10】

